

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-114233

⑤ Int. Cl.⁵

G 06 F 7/24
15/66
H 04 N 1/419
7/13

識別記号

3 3 0 H
Z

庁内整理番号

2116-5B
8420-5L
8839-5C
6957-5C

⑬ 公開 平成4年(1992)4月15日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 データ順序変換回路

⑯ 特 願 平2-234876

⑰ 出 願 平2(1990)9月4日

⑱ 発 明 者	豊 蔵	真 木	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	青 野	邦 年	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	荒 木	敏 之	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	大 谷	昭 彦	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	児 玉	久	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	岡 本	潔	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 出 願 人	松下電器産業株式会社			大阪府門真市大字門真1006番地
⑲ 代 理 人	弁理士 小 鍛 治 明			外 2 名

明 細 書

1. 発明の名称

データ順序変換回路

2. 特許請求の範囲

格納されたデータの順序を変換する回路であって、3個のRAMと2個のアドレス生成回路と2個のパイプラインレジスタを有し、

第1のアドレス生成回路で発生したアドレスにより第1のRAMからデータを読み出して第1のパイプラインレジスタに書き込み、この第1のパイプラインレジスタのデータをアドレスとして第2のRAMからデータを読み出して第2のパイプラインレジスタに書き込み、第3のRAMに対して第2のアドレス生成回路で発生したアドレスに前記第2のパイプラインレジスタのデータを書き込むことにより、前記第1のRAMに格納されているテーブルに従って、前記第2のRAMのデータを並び替えて前記第3のRAMに格納すること、を特徴とするデータ順序変換回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、DSP(Digital Signal Processor)等でDSP内部のデータメモリのデータの書き込まれている順序を入れ替えてデータメモリに書き込むデータ順序変換回路に関するものである。

従来の技術

まず、本発明の使用頻度の高い画像データ圧縮について簡単に述べる。第3図のように画像のデータ圧縮においてデジタル画像を例えば8×8画素単位で2次元DCT(Discrete Cosine Transform)を行い、変換後のデータをジグザグに走査した後、ランレングス符号化をすることにより画像データ圧縮を行う方法がある。

4×4画素のデータに対するジグザグ走査の仕方の例を第4図に示す。矢印の順序で走査を行ない、第4図(A)の走査方法は1、2、5、9、6、3、4、7、10、13、14、11、8、12、15、16の順であり、第4図(B)の走査方法は1、2、6、5、9、10、11、7、3、4、8、12、16、15、14、13の順

である。第4図で右方向に行くほどX方向の高いシーケンス成分であり、下方向に行くほどY方向の高いシーケンス成分である。普通の画像のデータの2次元DCTの結果は、パワーが低シーケンス成分に集中することが知られており、第4図のような走査を行なうと高シーケンス側で0に近い成分が続く。従ってこのような走査でデータ順を変換した後でランレングス符号化を行なえば符号化効率が上がる。

またFFT (Fast Fourier Transform) では最終結果を整列する必要がある。従来データの並び替えは第5図に示すようにテーブルを用いてデータメモリをアクセスしていた。第5図において51はデータメモリ、52はデータメモリ51上のジグザグ走査用のテーブル、53はデータメモリ51上の対象となる入力データの格納された領域、54はデータメモリ51上の出力領域であり、55は第1のアドレス生成回路、56は第2のアドレス生成回路である。

以下に第5図に基づいて従来のデータの並び替

えの方法を示す。テーブル52に順に並び替えのアドレスを入れておき、変換テーブル52をアドレス生成回路55によりアクセスし、このアクセスしたデータをアドレスとして対象となるデータ53をアクセスし、アドレス生成回路56により発生したアドレスに従って出力側のデータメモリ領域54にデータを書き込む。

1個のデータを並び替えるのにテーブル52へのアクセスするサイクルと、データ53にアクセスするサイクルと、出力を書き込むサイクルの合計3サイクルを必要とし、並び替えるデータの総数をNとすると $3 \times N$ サイクルを必要とする。

発明が解決しようとする課題

しかしながら第5図のような方法では、多くのサイクルを必要とし、多くのサイクル数を必要とする。

本発明はかかる点に鑑み、少ないサイクル数でデータの並び替えを行うデータ順序変換回路を提供することを目的とする。

課題を解決するための手段

本発明は、独立にアクセス可能な3個のRAMを持ち、テーブル用のRAMの出力データをパイプラインレジスタに書き込み、このデータをアドレスとして入力用RAMからデータを読み出し、このデータを一旦パイプラインレジスタに取り込んだ後で、出力用メモリに書き込む構成とする。

作用

本発明によると、テーブル参照とデータの転送がパイプライン動作により実現でき、高速なデータ順序の並び替えが可能となる。

実施例

第1図に本発明のデータ順序変換回路のブロック図を示す。第1図において11はテーブル用RAM、12は対象となる入力用データが格納されたRAM、13は出力用RAM、14は第1のパイプラインレジスタ、15は第2のパイプラインレジスタ、16は第1のアドレス生成回路、17は第2のアドレス生成回路である。

以下、第1図に基づいて動作を説明する。まずアドレス生成回路16により発生されたアドレス

でテーブル用RAM¹¹からデータを読み出し、このデータをパイプラインレジスタ14に書き込む。パイプラインレジスタ14のデータをアドレスとして入力用RAM12のデータを読み出し、このデータをパイプラインレジスタ15に書き込む。出力用RAM13に対して、アドレス生成回路17により発生されたアドレスにパイプラインレジスタ15のデータを書き込む。この様にして入力用RAM12のデータがテーブル用RAM11の内容に従ってデータの順序が変換されて出力用RAM13に書き込まれる。

第1図の信号の流れの様子を第2図に示す。第1のアドレス生成回路16の起動に対し、第2のアドレス生成回路17は2サイクル遅れた起動によりアドレスを発生し、書き込み信号も同様に制御される。また、必要とするサイクル数は変換の対象となるデータの総数Nに対して、 $N+2$ サイクルである。

第1のアドレス生成回路16のアドレスの発生の仕方を変えることにより、異なるテーブルによ

るデータ順序変換が可能になる。または、テーブル用のRAM 11の内容を書き換えることにより異なるテーブルによるデータ順序変換が可能になる。また、第2のアドレス生成回路17のアドレスの発生の仕方を変えることにより、順序変換後のデータの出力先を変えることができる。

第6図は本発明の他の実施例におけるデータ順序変換回路の構成図である。第1図と同一の機能を有するものは同一の符号を付して説明を省略する。

第1図との違いはスタートアドレスレジスタ61と、スタートアドレスレジスタ61に格納するスタートアドレスSAと第1のパイプラインレジスタ14に格納するデータとを加算する加算器62と、この加算器62の加算したデータを取り込む第3のパイプラインレジスタ63を追加した点である。以上の構成により、パイプライン段数が増えた分トータルの実行サイクルが1サイクル増えるが、入力用データRAM 12上の任意のスタートアドレスに対してデータ順序変換ができる。

発明の効果

以上述べたように、本発明によれば従来のデータ順序変換回路に対して約3分の1のサイクル数でデータ順序変換を行うことができ、本発明の実用的効果は大きい。

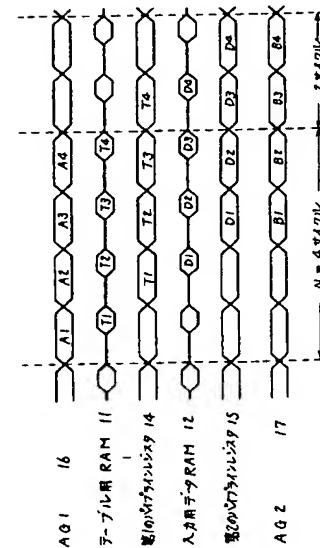
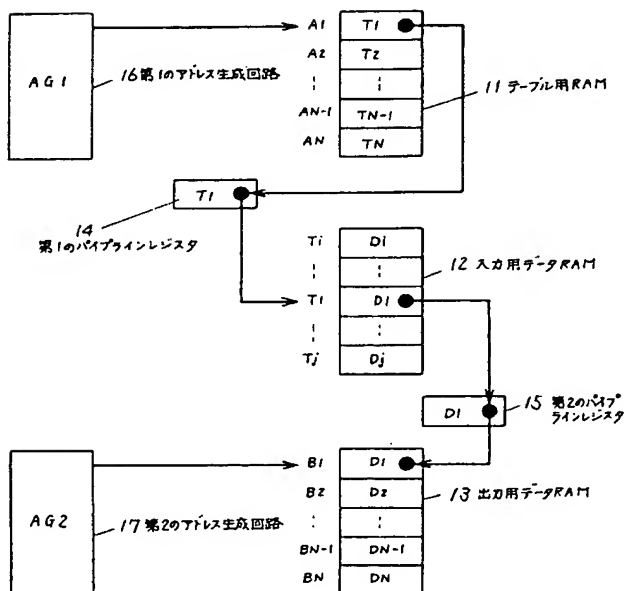
4. 図面の簡単な説明

第1図は本発明のデータ順序変換回路の構成図
第2図は本発明のデータ順序変換回路のタイミングチャート図
第3図は画像データ圧縮方法を示す説明図
第4図はジグザグ走査を示す説明図
第5図は従来のデータ順序変換回路の構成図
第6図は本発明の他の実施例におけるデータ順序変換回路の構成図である。

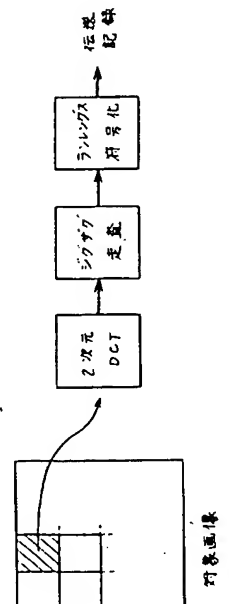
11…テーブル用RAM、12…入力用データRAM、13…出力用データRAM、14…第1のパイプラインレジスタ、15…第2のパイプラインレジスタ、16…第1のアドレス生成回路、17…第2のアドレス生成回路。

代理人の氏名 弁理士 小鍛治 明 ほか2名

第 1 図

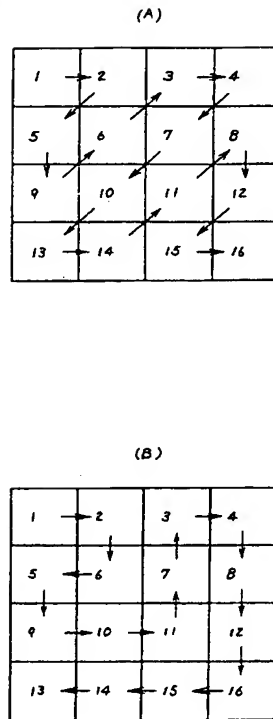


第 2 図

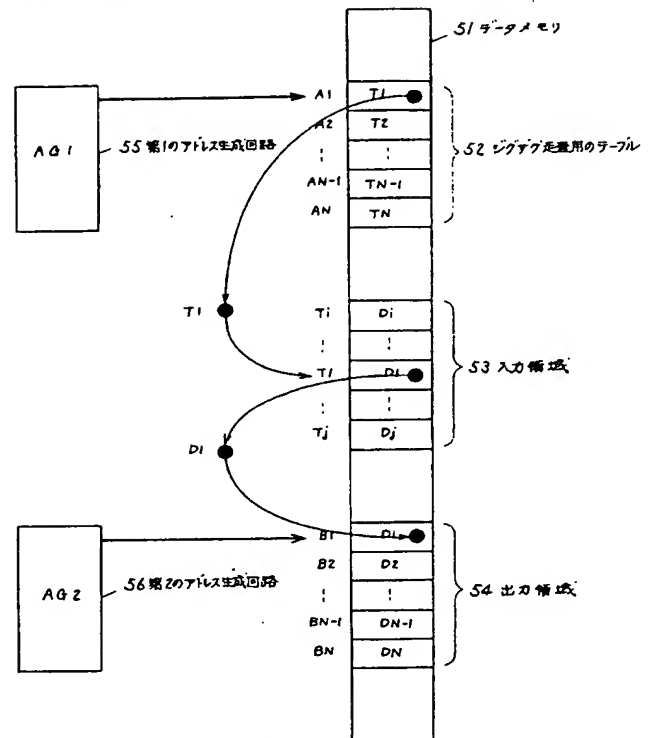


第 3 図

第 4 図



第 5 図



第 6 図

